

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56009

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	M
21/768			21/90	M
21/31			21/95	

審査請求 有 請求項の数11 O L (全 8 頁)

(21) 出願番号 特願平9-145338

(22) 出願日 平成9年(1997) 6月3日

(31) 優先権主張番号 特願平8-140003

(32) 優先日 平8(1996) 6月3日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 宇佐美 達矢

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 石川 拓

東京都港区芝五丁目7番1号 日本電気株式会社内

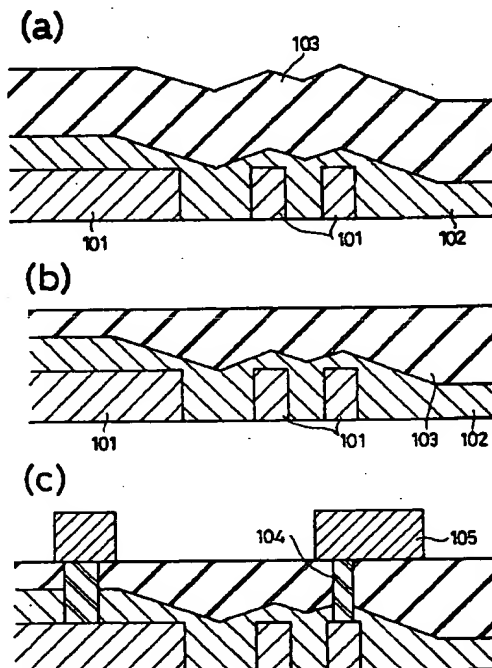
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 多層配線構造において高集積化の際の層間膜容量増加防止とビアホール抵抗の増加防止

【解決手段】 本発明の半導体装置及び半導体装置の製造方法は第1の金属配線101が形成された半導体基板表面に第1の高フッ素濃度のフッ素含有プラズマ酸化膜102を形成する工程と、続いて第2の低フッ素濃度の耐湿性のないフッ素含有プラズマ酸化膜103を形成する工程と、化学的機械研磨を第2のフッ素含有プラズマ酸化膜のみに施す工程と、その開孔部に金属104を形成する工程と、第2の金属配線105を形成する工程を含みこれを1回または繰り返すことを特徴とすることにより、高集積化でも層間膜容量が増加防止およびビアホール抵抗の増加防止ができる。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された複数の配線と、前記配線上に形成された第1のシリコン酸化膜と前記第1のシリコン酸化膜上に形成された第1のフッ素を含むシリコン酸化膜と前記第1のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第2の吸湿性のないフッ素を含むシリコン酸化膜と前記第2のフッ素を含むシリコン酸化膜上に形成された第2のシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項3】 前記第1のフッ素を含むシリコン酸化膜の比誘電率が3.3以下であることを特徴とする請求項1または請求項2のおおの記載の半導体装置。

【請求項4】 前記第2のフッ素を含むシリコン酸化膜の比誘電率が3.3を超えることを特徴とする請求項1または請求項2のおおの記載の半導体装置。

【請求項5】 前記第1のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc以上であることを特徴とする請求項1または請求項2のおおの記載の半導体装置。

【請求項6】 前記第2のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc未満であることを特徴とする請求項1または請求項2のおおの記載の半導体装置。

【請求項7】 半導体基板上に配線を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程と、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板上に配線を形成する工程と、第1のシリコン酸化膜を形成する工程と、第1のフッ素を含むシリコン酸化膜を形成する工程と、第2の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第2のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第2のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 前記第1のシリコン酸化膜及び、第2のシリコン酸化膜がプラズマシリコン酸化膜であることを特徴とする請求項7または8のおおの記載の半導体装置の製造方法。

【請求項10】 前記第1のフッ素を含むシリコン酸化膜と第2のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする請求項7また

は8のおおの記載の半導体装置の製造方法。

【請求項11】 前記第1のフッ素を含むシリコン酸化膜と第2のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする請求項7または8のおおの記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及び半導体装置の製造方法に関し、さらに詳しくは絶縁膜や層間絶縁膜を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路は、その微細化が進んでおり、特に論理回路においての多層配線では、その傾向が顕著に見受けられる。多層配線のメタル間隔が微細になってくると、その隣接する配線間容量が大きくなってしまい電気信号のスピードの低下を招いたりクロストーク（他の信号がノイズとして影響を与える現象）が発生する。

【0003】それを防止する対策の1つとしてメタル層間絶縁膜の低比誘電率化する方法があり、最近では、従来使用していたプラズマCVD法によるシリコン酸化膜（比誘電率約4.3）（以下、p-SiO₂膜という）からフッ素含有プラズマシリコン酸化膜（比誘電率2.8～4.3）（以下p-SiOF膜という）への転換が注目されている。

【0004】p-SiOF膜はフッ素濃度を高くしていくと低い比誘電率化することができるが、あまりフッ素濃度を高くすると耐湿性が劣化してしまうという欠点がある。そのため耐湿性が劣化しないレベルのフッ素濃度では、比誘電率をそれほど低下させられない（比誘電率3.3程度）。

【0005】その欠点を解決するためのプラズマ自身を高密度にするという方法があり、たとえば'95SDM p157に提案されている。

【0006】しかし、この方法ではフッ素濃度をいままでの方法より高濃度にすることができるが、あるフッ素濃度以上になると膜が劣化してしまうため比誘電率が大幅には低下できなかった。

【0007】またデバイスとしてこのp-SiOF膜を使用する場合、その膜の平坦化は必須であり、そのp-SiOF膜を平坦化する方法として化学的機械研磨法（以下CMPと呼ぶ）を用いると前記耐湿性の問題が難点であり、その結果CMPを使用する場合は、さらに誘電率を上げざるを得なかった。

【0008】以上説明したとおり、現在までCMPをp-SiOFプロセスで使用することは実際には困難な状態にある。

【0009】しかし、取りあえず公知例より推測し、C

MPを使用した実験例を2つ説明する。

【0010】従来例は図3に示すようにメタル上に直接p-SiOF膜を形成する例である。たとえば特開平6-333919に記載されているように第1のメタル301形成後ECR-CVD法で、 SiF_4 、 O_2 、 Ar の3つのガスを使用し、比誘電率3.0のフッ素濃度 $7 \times 10^{21} \text{ atoms/cc}$ をウェハ一面内にもつp-SiOF膜302を形成する。この膜を平坦化のためにCMPを行うと膜が水を吸湿してしまい誘電率が高くなってしまう。

【0011】さらに悪い場合であると多量に入ったフッ素はその結合が弱いので、Fと H_2O が反応してHFが発生し、メタルのコーロージョンが発生したり、メタルが溶けてしまう現象が起こる。ここでは、フッ素濃度を $1.0 \times 10^{21} \text{ atoms/cc}$ 程度まで下げた場合について説明する。

【0012】CMPでの処理の後には膜は図3-(b)のようになる。そして、膜にフォトレジストを塗布し、目合わせ露光により、フォトレジストをパターンニングし、エッチング技術により C_4F_8 、 CO 、 Ar ガスを

使用したマグネトロンRIEエッチングにより開孔を行う。

【0013】さらに、 TiN 形成後ブランケットWCV Dを行いエッチバックというフローでビアメタル303の形成を行う。その後第2のメタル304たとえば AlCu-TiN の連続スパッタを行い、それをフォトレジストにより、パターンニングを行う。この操作を1回または複数回繰り返すことにより図3-(c)のように多層配線を形成する。

【0014】ここで問題なのは、p-SiOF膜のフッ素濃度が高い場合は、膜のCMP処理で膜が吸湿してしまい、また膜のフッ素濃度が低いと誘電率が高くなってしまうことである。

【0015】また次の例はp-SiOF膜の上下に SiO_2 膜を挟むことにより、p-SiOF膜の吸湿性を抑え込む例である。特公平7-9372ではTEOS系(テトラエトキシオルソシリケート：以下同様)で製造したSiOF膜が記載してあるのでそれを使用して説明を行う。図4にそのフロー図を示す。

【0016】第1のメタル401形成後、第1のp-SiOF膜402を形成し、その後フッ素系ガスを混合したTEOS系の原料を用いてフッ素含有の SiO_2 膜(p-SiOF膜403)を形成し、その後また第2のp-SiOF膜404を形成する方法が提案されている。

【0017】ここでは、プラズマSiOF膜は、耐湿性に有利な、高密度プラズマCVD法でかつ、プラズマ SiO_2 膜高密度プラズマCVD法とした。

【0018】この方法を、従来例では平行平板型プラズマCVDを用いていたが、ここでは積層膜を高密度プラ

ズマCVD法で行ったことを想定してみる。

【0019】ここではSiOF膜のフッ素濃度を $7 \times 10^{21} \text{ atoms/cc}$ である。第1のメタル401形成後、高密度プラズマCVD法で、 $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ の連続成長を行うと、図4(a)または(a)'に示すような形状となる。ここで図4-(a)に示すように中間層のp-SiOF膜403が厚い場合はCMP法処理を行った後は図4-(b)のようにp-SiOF膜403がむき出しになってしまう。その結果、元々p-SiOF膜の吸湿を防止するためにp-SiOF膜をp-SiOF膜でサンドイッチ構造としたのに、p-SiOF膜403がむき出しになるのでCMP処理で膜が水を吸い込んでしまう。その結果膜の誘電率を上げてしまう。

【0020】また、上記のようにならないために図4-(a)'のようにp-SiOF膜403を薄くして、第2の SiO_2 膜404を厚くした場合は、CMP処理後、図4-(b)'のようにp-SiOF膜403はむき出しにはならない。しかしこれでは、隣接するメタル層間にもp-SiOF膜が入り込んできてしまい誘電率が上がってしまうという不具合が発生する。

【0021】その後は上記の実験例1と同様ビアホール形成→ビアメタル形成→第2メタル形成と続き、形状はそれぞれ図4(c)や(c)'のように多層配線が形成される。

【0022】図5には高密度プラズマCVDを用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と比誘電率との関係を、また図6には高密度プラズマCVDを用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と吸湿性との関係を示す。(1995年半導体集積回路シンポジウム予稿集第45頁)これらの図はシリコン酸化膜のフッ素含有量と誘電率、吸湿性との傾向の一例を示すものであり、フッ素含有率とこれらの性質は装置により若干数値が異なることがあり同じ割合を示すものとは限らないがシリコン酸化膜のフッ素含有量が誘電率、吸湿性に影響する傾向を示したものである。

【0023】第1の問題点は、実験例1、2とも低比誘電率のp-SiOF膜がCMP処理されると、誘電率が高くなり、またはビアホール異常になる。さらに金属腐食が発生する。その理由は、低比誘電率のp-SiOFは、水にさらされると吸湿してしまい誘電率が上がり、ビアホール抵抗異常となる。また吸湿した水とフッ素が反応し金属の腐食が発生する。

【0024】第2の問題点は、実験例2で第1の問題点が発生しないように、 $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ 構造の中間のp-SiOF層を薄くするとメタル層間の誘電率が上がってしまう。その理由は、メタル層間に占めるp-SiOFの割合が多くなるからである。

【0025】

【発明の解決すべき課題】本発明の目的は、半導体集積

回路の特に多層配線構造において高集積化の際の層間膜容量の増加防止（低誘電率化の実現）と、ビアホール抵抗の増加防止等の信頼性向上を目的としている。

【0026】

【課題を解決する手段】上記目的を達成するために本願発明者は鋭意検討を行い本発明に到達した。即ち、本発明は以下の実施態様を包含する。

【0027】（１） 半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第１のフッ素を含むシリコン酸化膜と前記第１のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第２の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置を提供することである。

【0028】（２） 半導体基板上に形成された複数の配線と、前記配線の上に形成された第１のシリコン酸化膜と前記第１のシリコン酸化膜上に形成された第１のフッ素を含むシリコン酸化膜と前記第１のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第２の吸湿性のないフッ素を含むシリコン酸化膜と前記第２のフッ素を含むシリコン酸化膜上に形成された第２のシリコン酸化膜とを有することを特徴とする半導体装置。

【0029】（３） 前記第１のフッ素を含むシリコン酸化膜の比誘電率が３．３以下であることを特徴とする（１）または（２）のおおの記載の半導体装置。

【0030】（４） 前記第２のフッ素を含むシリコン酸化膜の比誘電率が３．３を超えることを特徴とする（１）または（２）のおおの記載の半導体装置。

【0031】（５） 前記第１のフッ素を含むシリコン酸化膜のフッ素濃度が $4 \times 10^{11} \text{ atoms/cc}$ 以上であることを特徴とする（１）または（２）のおおの記載の半導体装置。

【0032】（６） 前記第２のフッ素を含むシリコン酸化膜のフッ素濃度が $4 \times 10^{11} \text{ atoms/cc}$ 未満であることを特徴とする（１）または（２）のおおの記載の半導体装置。

【0033】（７） 半導体基板上に配線を形成する工程と、第１のフッ素を含むシリコン酸化膜を形成する工程と、第２の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第２のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【0034】（８） 半導体基板上に配線を形成する工程と、第１のシリコン酸化膜を形成する工程と、第１のフッ素を含むシリコン酸化膜を形成する工程、第２の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程、前記第２のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第２のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0035】（９） 前記第１のシリコン酸化膜及び、

第２のシリコン酸化膜がプラズマシリコン酸化膜であることを特徴とする（７）または（８）のおおの記載の半導体装置の製造方法。

【0036】（１０） 前記第１のフッ素を含むシリコン酸化膜及び第２のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする

（７）または（８）のおおの記載の半導体装置の製造方法。

【0037】（１１） 前記第１のフッ素を含むシリコン酸化膜と第２のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする（７）または（８）のおおの記載の半導体装置の製造方法。

【0038】

【発明の実施の形態】本発明の半導体装置および半導体装置の製造方法は、第１の金属配線が形成された半導体基板表面に第１の高フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成し、続いて第２の低フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成する工程と、化学的機械研磨を第２のフッ素含有プラズマシリコン酸化膜のみに施す工程と、所望の位置に開孔を行う工程と、の開孔部に金属を形成する工程と、第２の金属配線を形成する工程とを含み、それを１回または複数回繰り返すことを特徴とする（図１）。また、メタル種によっては、またプラズマSiOF膜の種類によっては、界面での密着性が悪いとか、反応が起ってしまうことが予想される。

【0039】その場合は、第１のメタル配線形成後第１のプラズマシリコン酸化膜を形成し、前記第１のp-SiOF膜を形成し、第２のp-SiOFを形成し、その後CMP処理を第２のp-SiOF膜のみに施す工程と、さらにその上より第２のp-SiO₂を形成する工程と、所望の位置に開孔を行う工程とその開孔部に金属を形成する工程と第２の金属配線を形成する工程を含み、それを１回または複数回繰り返すことを特徴とする（図２）。

【0040】本発明は、配線間容量を減らすため、少なくとも配線間には比誘電率がシリコン酸化膜より少なくとも小さいフッ素含有シリコン酸化膜で埋め込み、さらに、上面に吸湿性はないが比誘電率の高いフッ素含有シリコン酸化膜が形成されているので、CMPを用いて平坦化しても吸湿による比誘電率の増大も起こらない。また後工程のビアホール工程を作成する時にも上層のフッ素含有シリコン酸化膜での吸湿がほとんどないビアホール抵抗増大不良が発生しない。

【0041】

【実施例】次に本発明の実施例について図面を参照して詳細に説明する。

【0042】図１を参照して本発明の第１の実施例を説明する。図１-（a）のように第１のメタル101上に

バイアスECR-CVD法にて厚さ5000オングストロームの第1のp-SiOF膜102を形成し、さらに厚さ10000オングストロームの第2のp-SiOF膜103を形成した。ここで第2のp-SiOF膜103は 4.0×10^{11} atoms/cc未満のフッ素濃度であり、その下層の第1のp-SiOF膜102は、第1のp-SiOF膜よりも高い 4.0×10^{11} atoms/ccフッ素濃度をウェハ内面に持っていた。このプラズマSiOF/SiO₂積層構造は、連続で成長した方が埋設性がよいが、高密度プラズマCVD法が稼働率上の問題があるところなどがある場合は、別々に成長してもよい。その後CMP処理を、第2のp-SiOF膜のみを図1-(b)のように約4000オングストローム研磨する。この第2のプラズマSiOFのフッ素濃度では吸湿しない膜であることは我々の実験により確認されている。その後、この膜にフォトレジストを塗布し、目合わせ、露光を行い、フォトレジストをパターンニングし、エッチング技術によりC、F₂、CO、Arガスを使用したマグネトロンRIEエッチングによりp-SiOFの2層膜の開孔を行なった。

【0043】さらにバリア層としてTiN形成後ブランケットWCVD法により、タングステンを形成し、エッチバックを行い、ビアメタル104の形成を行なった。

【0044】その後、第2のメタル105、たとえばAlCu-TiNの連続スパッタを行い、それをフォトレジストによりパターンニングを行なった。これを1回または複数回繰り返すことにより多層の配線を図1-(c)のように形成した。

【0045】以上のプロセスフローで、メタル層間容量を小さくでき、かつ膜の平坦化でき多層配線が可能となった。なお本実施例での第1のフッ素を含むシリコン酸化膜の比誘電率は3.0、第2のフッ素を含むシリコン酸化膜の比誘電率は3.5であった。

【0046】さらに第2の実施例について図面2を参照して詳細に説明する。第1の実施例でメタル上に直接p-SiOF膜を形成したが、メタルの種類やp-SiOF膜の種類によりメタルとp-SiOF膜との密着性が悪い場合や、メタルとp-SiOFの反応が起こってしまうなどのときは次に示す第2の実施例を使用するとよい。

【0047】図2-(a)に示すように、第1のメタル201上にバイアスECR-CVD法にて、第1のp-SiO₂膜202、第1のp-SiOF膜203、第2のp-SiOF膜204をそれぞれたとえば厚さ1000オングストローム、4000オングストローム、10000オングストローム成長を行なった。

【0048】第2のp-SiOF膜204のフッ素濃度は 4.0×10^{11} atoms/cc未満の範囲であり、その下層の第1のp-SiOF膜203のフッ素濃度は 4.0×10^{11} atoms/cc以上の部分をウェハ

面内の1部または全部に持った。

【0049】その後CMP処理を第2のプラズマSiOF膜204のみを厚さ約4000オングストローム研磨を行なった。この第2のプラズマSiOF膜のフッ素濃度では吸湿しない膜であることは我々の実験により確認されている。

【0050】その上に第2のp-SiO₂膜205を厚さ約2000オングストローム成長させた(図2-(b))。

10 【0051】その後、フォトレジストを塗布し、目合わせ露光によりC、F₂、CO、Arガスを使用したマグネトロンRIEエッチングにより、SiO₂/SiOF2層/SiO₂の積層膜の開孔を行う。さらに第1の実施例同様、TiN形成後ブランケットW-CVDを形成し、エッチバックを行い、ビアメタル206を形成した。

20 【0052】その後、第2のメタル207、たとえばAlCu-TiNの連続スパッタを行いそれをフォトレジストによりパターンニングを行なった。これを1回または複数回繰り返すことにより多層配線を図2-(c)のように形成した。

【0053】以上が第2実施例であるが、第1、第2実施例を通し、第1のメタル、第2のメタルは、AlCu-TiNの連続スパッタを使用しているが、Alへの添加物としては、Cuのほか、Si、Pd、Tiでもよい。またAlでなくとも、Cu、Agでもよい。さらに反射防止用にTiNを使用しているが、Ti、TiW、Cr、Siでもよい。またビアメタルとして、W-CVD/TiNを使用しているが、ビアのWの代わりにAg、Cu、Alでもよい。また、バリアメタルとしては、Ti、TiW、Si、Crの単層またはその2種類以上の組み合わせでもよい。さらにp-SiOF膜を製造するガス種は、SiH₄+O₂+Ar+CF₄、SiH₄+O₂+Ar+C₂F₆、SiH₄+O₂+Ar+NF₃、SiF₄+O₂+Ar、SiF₄+SiH₄+O₂+Ar、TEOS+O₂+Ar+CF₄、TEOS+O₂+Ar+C₂F₆、TEOS+O₂+Ar+NF₃、TEFS(フロトリエトキシシラン:以下同様)+O₂+Ar、TEFS+SiH₄+O₂+Ar、TEOS+SiF₄+Ar+O₂のうちいずれかまたはこの中よりArを抜いたものでもよい。埋設性向上のためArの代わりにXeにしても良く、また1層目と2層目に使用するガス種を代えてもよい。例えば、1層目をSiF₄+Ar+O₂、2層目をSiF₄+SiH₄+Ar+O₂を用いてもかまわない。

40 【0054】またp-SiOFは、13.56MHzの周波数を用いた平行平板のCVD法、13.56MHzと、400KHzの2周波を用いた平行平板のCVD法、2.45GHzの高周波と、13.56MHzのバイアスを使用したバイアスECR-CVD法、2.45

GHz、13.56MHzのICP-CVD法やヘリコンCVD法のいずれかのうち1つで行うが、バイアスECR-CVD法、ICP-CVD法やヘリコンCVD法等の高密度プラズマCVD法の方がよい。

【0055】さらにCMP後のSiOF膜の吸湿を完全になくするためCMP後に300～450℃の熱処理を追加してもよい。この処理の際の雰囲気は、O₂、N₂、H₂、バキューム中、Air、Heのうちいずれか1つまたは複数組み合わせでもよい。

【0056】またSiO₂やSiOF膜厚を実施例を示すため便宜上設定したが、CMP処理で第2のSiOFのみ処理するように設定すれば異なる膜厚の組み合わせでもよい。

【0057】また第2のp-SiOF膜をフッ素濃度4.0×10²¹atoms/cc未満の濃度とし、その範囲中でフッ素濃度が違った多層にしてもよい。また第1のp-SiOF層もフッ素濃度が4.0×10²¹atoms/cc以上のところがウェハ全面ではなくとも、ウェハに1部存在すれば本発明のメリットがあるのでこのような実施態様も本願発明の範囲に含まれる。また、第2のp-SiOF膜をフッ素濃度4.0×10²¹atoms/cc未満と限定したがCMP処理で第2のp-SiOF膜が全部除去される領域に限りそれ以上のフッ素濃度の膜を使用することもできる。

【0058】本発明の方法では第1のフッ素を含むシリコン酸化膜の比誘電率は3.3以下、好ましくは3.2以下であり、その下限は2.8、好ましくは2.9である。また第2のフッ素を含むシリコン酸化膜の比誘電率は3.3を超え、好ましくは3.4以上であり、その上限は4.1、好ましくは3.9である。

【0059】また、本発明の方法では第1のフッ素を含むシリコン酸化膜のフッ素濃度は4.0×10²¹atoms/cc以上であり、好ましくは比6.0×10²¹atoms/cc以上であり、その上限は1.0×10²²atoms/cc、好ましくは8.0×10²¹atoms/ccである。

【0060】また第2のフッ素を含むシリコン酸化膜のフッ素濃度は4.0×10²¹atoms/cc未満、好ましくは2.0×10²¹atoms/cc未満であり、その下限は1.0×10²⁰atoms/ccである。

【0061】なお本実施例での第1のフッ素を含むシリコン酸化膜の比誘電率は3.0、第2のフッ素を含むシリコン酸化膜の比誘電率は3.5であった。

【0062】さらに、ブランケットWCVD後実施例1、2ではエッチバックを行っていたがメタルCMPを行ってもよい。また選択W-CVDで行ってもよい。またp-SiOF膜のCMPと上記メタルのCMPの前に濡れ性改善のためO₂プラズマを行ってもよい。

【0063】また、第2の実施例のp-SiOF/p-

SiO₂の積層は埋設性改善のため特にバイアス高密度プラズマCVD法の場合は、連続成長で行う方がよい。

【0064】

【発明の効果】本発明の効果を以下に示す。

【0065】第1の効果は、p-SiOF膜をCMP処理してもp-SiOF膜自身耐湿性をもつため低誘電率なメタル層間膜を構築できる。その理由は、p-SiOF層を2層以上としCMP処理にさらされる上層をフッ素濃度4.0×10²¹atoms/cc未満としているので耐湿性があるためである。

【0066】第2の効果は、SiO₂/SiOF/SiO₂構造にしても比較的小さなメタル層間容量が得られる。その理由は、SiOF2層/SiO₂構造を形成した後CMP処理を行いその後SiO₂を形成しているため上層のSiO₂層がX方向に並んでいるメタル間の層間膜には入ってこないためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例のプロセスフロー図。

【図2】本発明の第2の実施例のプロセスフロー図。

【図3】従来の第1の実験例のプロセスフロー図。

【図4】従来の第2の実験例のプロセスフロー図。

【図5】フッ素含有シリコン酸化膜のフッ素含有量と誘電率の傾向を示す図。

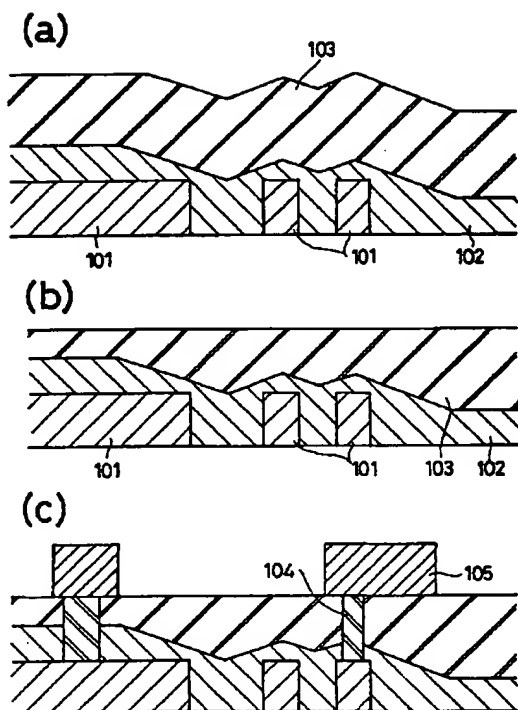
【図6】フッ素含有シリコン酸化膜のフッ素含有量と吸湿性の傾向を示す図。

【符号の説明】

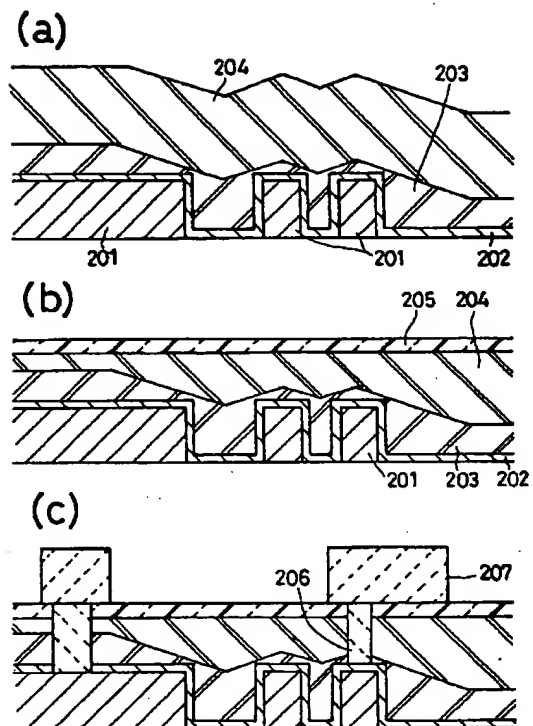
図1～図6において用いた符号は以下のものを示す。

101	第1のメタル
102	第1のp-SiOF膜
103	第2のp-SiOF膜
104	ビアメタル
105	第2のメタル
201	第1のメタル
202	第1のp-SiO ₂ 膜
203	第1のp-SiOF膜
204	第2のp-SiOF膜
205	第2のp-SiO ₂ 膜
206	ビアメタル
207	第2のメタル
301	第1のメタル
302	p-SiOF膜
303	ビアメタル
304	第2のメタル
401	第1のメタル
402	第1のp-SiO ₂ 膜
403	p-SiOF膜
404	第2のp-SiO ₂ 膜
405	ビアメタル
406	第2のメタル

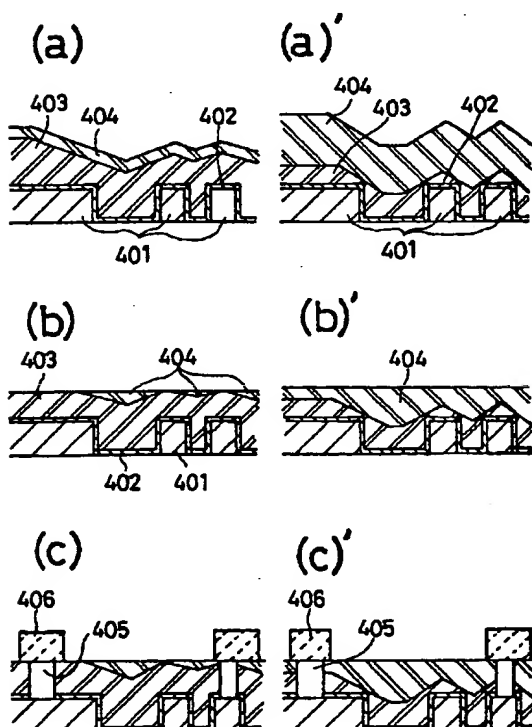
【図1】



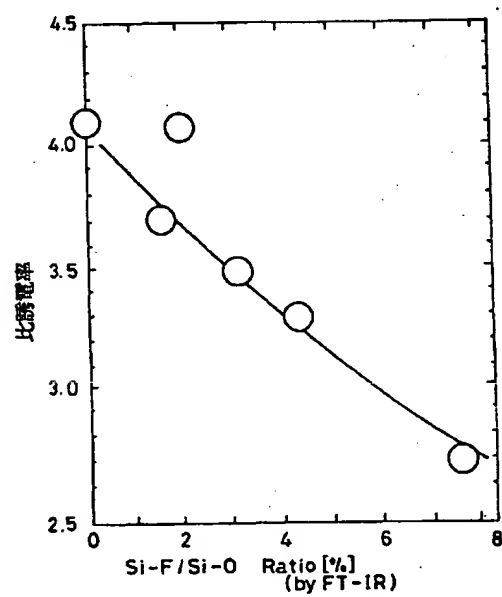
【図2】



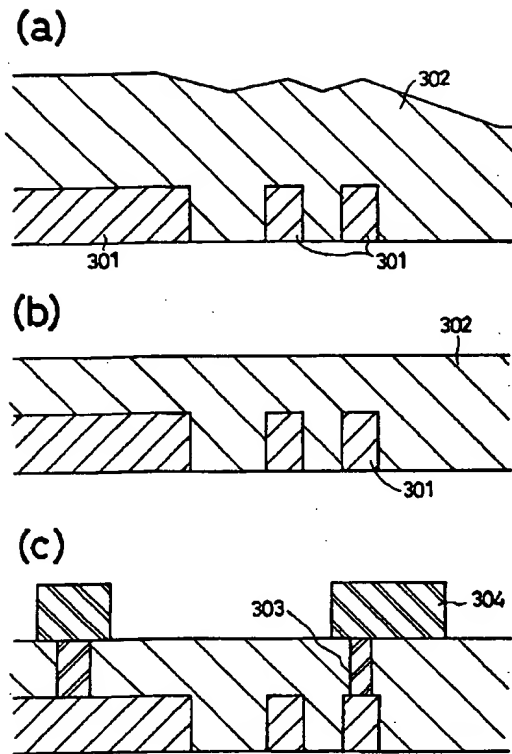
【図4】



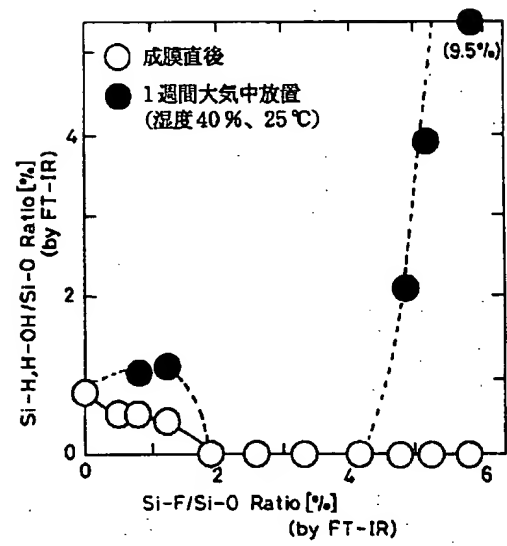
【図5】



【図3】



【図6】



JP1998056009A

1998-2-24

Bibliographic Fields

Document Identity

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平10-56009

(43)【公開日】

平成10年(1998)2月24日

Public Availability

(43)【公開日】

平成10年(1998)2月24日

Technical

(54)【発明の名称】

半導体装置および半導体装置の製造方法

(51)【国際特許分類第6版】

H01L 21/316

21/768

21/31

【FI】

H01L 21/316 M

21/90 M

21/95

【請求項の数】

11

【出願形態】

OL

【全頁数】

8

Filing

【審査請求】

有

(21)【出願番号】

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 10- 56009

(43) [Publication Date of Unexamined Application]

1998 (1998) February 24*

(43) [Publication Date of Unexamined Application]

1998 (1998) February 24*

(54) [Title of Invention]

**MANUFACTURING METHOD OF SEMICONDUCTOR
DEVICE AND SEMICONDUCTOR DEVICE**

(51) [International Patent Classification, 6th Edition]

H01L 21/316

21/768

21/31

[FI]

H01L 21/316 M

21/90 M

21/95

[Number of Claims]

11

[Form of Application]

OL

[Number of Pages in Document]

8

[Request for Examination]

*

(21) [Application Number]

JP1998056009A

1998-2-24

特願平9-145338

Japan Patent Application Hei 9- 145338

(22)【出願日】

(22) [Application Date]

平成9年(1997)6月3日

1997 (1997) June 3 days

Foreign Priority

(31)【優先権主張番号】

(31) [Priority Application Number]

特願平8-140003

Japan Patent Application Hei 8- 140003

(32)【優先日】

(32) [Priority Date]

平8(1996)6月3日

1996 (1996) June 3 days

(33)【優先権主張国】

(33) [Priority Country]

日本(JP)

Japan (JP)

Parties

Applicants

(71)【出願人】

(71) [Applicant]

【識別番号】

[Identification Number]

000004237

000004237

【氏名又は名称】

[Name]

日本電気株式会社

NEC CORPORATION (DB 69-054-1685)

【住所又は居所】

[Address]

東京都港区芝五丁目7番1号

Tokyo Minato-ku grass 5-7-1

Inventors

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

宇佐美 達矢

Usami Tatsuya

【住所又は居所】

[Address]

東京都港区芝五丁目7番1号 日本電気株式会社内

Tokyo Minato-ku grass 5-7-1 NEC Corporation (DB 69-054-1685) *

(72)【発明者】

(72) [Inventor]

【氏名】

[Name]

石川 拓

Ishikawa *

【住所又は居所】

[Address]

東京都港区芝五丁目7番1号 日本電気株式会社内

Tokyo Minato-ku grass 5-7-1 NEC Corporation (DB 69-054-1685) *

Agents

(74)【代理人】

(74) [Attorney(s) Representing All Applicants]

【弁理士】

[Patent Attorney]

【氏名又は名称】

[Name]

若林 忠

Wakabayashi Tadashi

Abstract

(57)【要約】

【課題】

多層配線構造において高集積化の際の層間膜容量増加防止とビアホール抵抗の増加防止

【解決手段】

本発明の半導体装置及び半導体装置の製造方法は第1の金属配線101が形成された半導体基板表面に第1の高フッ素濃度のフッ素含有プラズマ酸化膜102を形成する工程と、続いて第2の低フッ素濃度の耐湿性のないフッ素含有プラズマ酸化膜103を形成する工程と、化学的機械研磨を第2のフッ素含有プラズマ酸化膜のみに施す工程と、その開孔部に金属104を形成する工程と、第2の金属配線105を形成する工程を含みこれを1回または繰り返すことを特徴とすることにより、高集積化でも層間膜容量が増加防止およびビアホール抵抗の増加防止ができる。

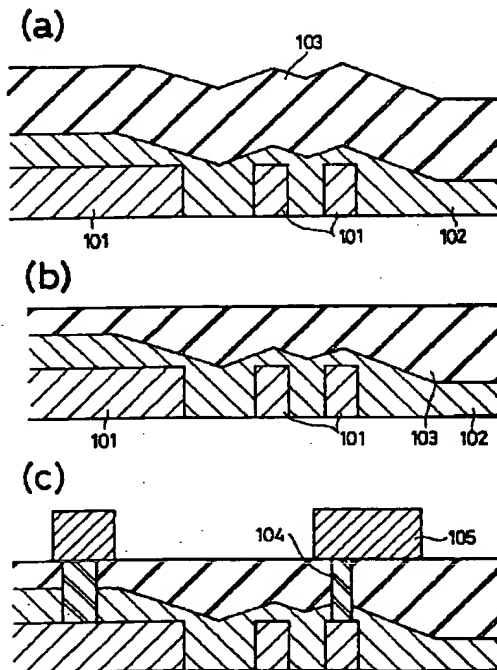
(57) [Abstract]

[Problems to be Solved by the Invention]

In multilayer metallization structure case of trend to high integration increase prevention of interlayer film capacity increase prevention and via resistance

[Means to Solve the Problems]

semiconductor device of this invention and manufacturing method of semiconductor device step. which forms fluorine containing plasma oxide film 102 of first high fluorine concentration in semiconductor substrate surface where first metal wiring 101 was formed continuously includes step which forms step. second metal wiring 105 which forms metal 104 in the open hole of step. which administers step. chemomechanical polishing which forms fluorine containing plasma oxide film 103 which does not have moisture resistance of second low fluorine concentration to only second fluorine containing plasma oxide film and one time or this repeating feature does Due to especially, interlayer film capacity can do increase prevention of increase prevention and the via resistance even with trend to high integration .



Claims

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第 1 のフッ素を含むシリコン酸化膜と前記第 1 のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置。

【請求項 2】

半導体基板上に形成された複数の配線と、前記配線上に形成された第 1 のシリコン酸化膜と前記第 1 のシリコン酸化膜上に形成された第 1 のフッ素を含むシリコン酸化膜と前記第 1 のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第 2 の吸湿性のないフッ素を含むシリコン酸化膜と前記第 2 のフッ素を含むシリコン酸化膜上に形成された第 2 のシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項 3】

前記第 1 のフッ素を含むシリコン酸化膜の比誘電率が 3.3 以下であることを特徴とする請求項 1 または請求項 2 のおのおの記載の半導体装置。

【請求項 4】

前記第 2 のフッ素を含むシリコン酸化膜の比誘電率が 3.3 を超えることを特徴とする請求項 1 または請求項 2 のおのおの記載の半導体装置。

【請求項 5】

前記第 1 のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc 以上であることを特徴とする請求項 1 または請求項 2 のおのおの記載の半導体装置。

【請求項 6】

前記第 2 のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc 未満であることを特徴とする請求項 1 または請求項 2 のおのおの記載の半導体装置。

【請求項 7】

半導体基板上に配線を形成する工程と、第 1 の

[Claim(s)]

[Claim 1]

It was formed on silicon oxide film which includes silicon oxide film and theaforementioned first fluorine which include metallization of plural which wasformed on semiconductor substrate and first fluorine which buries between metallization ofaforementioned plural and semiconductor device . which designates that itpossesses silicon oxide film which includes fluorine where surface was done,planarization does not have second moisture absorption as feature

[Claim 2]

It was formed on silicon oxide film which includes silicon oxide film and theaforementioned first fluorine which include metallization of plural which wasformed on semiconductor substrate and first silicon oxide film which was formed on theaforementioned metallization and first fluorine which was formed on theaforementioned first silicon oxide film and surface was done planarization , semiconductor device . which designates that it possesses second silicon oxide film which wasformed on silicon oxide film which includes silicon oxide film and aforementioned second fluorine which include fluorine without having second moisture absorption as feature

[Claim 3]

semiconductor device . which is stated in each of Claim 1 or Claim 2 which designates that dielectric constant of silicon oxide film which includes aforementioned first fluorine is 3.3 or less as feature

[Claim 4]

semiconductor device . which is stated in each of Claim 1 or Claim 2 which designates that dielectric constant of silicon oxide film which includes aforementioned second fluorine exceeds3.3 as feature

[Claim 5]

semiconductor device . which is stated in each of Claim 1 or Claim 2 which designates that fluorine concentration of silicon oxide film which includes aforementioned first fluorine is 4×10^{21} atoms /cc or larger as feature

[Claim 6]

semiconductor device . which is stated in each of Claim 1 or Claim 2 which designates that fluorine concentration of silicon oxide film which includes aforementioned second fluorine isunder 4×10^{21} atoms /cc as feature

[Claim 7]

Doing chemomechanical polishing in only surface of silicon

フッ素を含むシリコン酸化膜を形成する工程と、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第 2 のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 8】

半導体基板上に配線を形成する工程と、第 1 のシリコン酸化膜を形成する工程と、第 1 のフッ素を含むシリコン酸化膜を形成する工程と、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第 2 のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第 2 のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 9】

前記第 1 のシリコン酸化膜及び、第 2 のシリコン酸化膜がプラズマシリコン酸化膜であることを特徴とする請求項 7 または 8 のおのおの記載の半導体装置の製造方法。

【請求項 10】

前記第 1 のフッ素を含むシリコン酸化膜と第 2 のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする請求項 7 または 8 のおのおの記載の半導体装置の製造方法。

【請求項 11】

前記第 1 のフッ素を含むシリコン酸化膜と第 2 のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする請求項 7 または 8 のおのおの記載の半導体装置の製造方法。

Specification

【発明の詳細な説明】

[0001]

【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関し、さらに詳しくは絶縁膜や層間絶縁膜を有する半導体装置及びその製造方法に関する。

oxide film which includes the step. aforementioned second fluorine which forms silicon oxide film which includes the fluorine which does not have step. second moisture absorption which forms silicon oxide film which includes step. first fluorine which forms metallization on semiconductor substrate planarization the manufacturing method . of semiconductor device which designates that step which is done is included as feature

[Claim 8]

Doing chemomechanical polishing in only surface of silicon oxide film which includes the step. aforementioned second fluorine which forms silicon oxide film which includes the fluorine which does not have step. second moisture absorption which forms silicon oxide film which includes step. first fluorine which forms step. first silicon oxide film which forms metallization on the semiconductor substrate planarization manufacturing method . of semiconductor device which designates that step which forms step and second silicon oxide film which are done is included as feature

[Claim 9]

manufacturing method . of semiconductor device which is stated in each of Claim 7 or 8 which designates that aforementioned first silicon oxide film and second silicon oxide film are plasma silicon oxide film as feature

[Claim 10]

manufacturing method . of semiconductor device which is stated in each of Claim 7 or 8 which designates that silicon oxide film which includes aforementioned first fluorine and silicon oxide film which includes second fluorine are high density plasma silicon oxide film as feature

[Claim 11]

manufacturing method . of semiconductor device which is stated in each of Claim 7 or 8 which designates that it is a high density plasma silicon oxide film where silicon oxide film which includes the aforementioned first fluorine and silicon oxide film which includes second fluorine were formed to continuous as feature

[Description of the Invention]

[0001]

[Technological Field of Invention]

this invention regards manufacturing method of semiconductor device and semiconductor device , furthermore details regard semiconductor device and its manufacturing method which possess insulating film and the interlayer insulating film .

【0002】

【従来の技術】

近年、半導体集積回路は、その微細化が進んでおり、特に論理回路においての多層配線では、その傾向が顕著に見受けられる。

多層配線のメタル間隔が微細になってくると、その隣接する配線間容量が大きくなってしまい電気信号のスピードの低下を招いたりクロストーク(他の信号がノイズとして影響を与える現象)が発生する。

【0003】

それを防止する対策の 1 つとしてメタル層間絶縁膜の低比誘電率化する方法があり、最近では、従来使用していたプラズマ CVD 法によるシリコン酸化膜(比誘電率約 4.3)(以下、p-SiO₂ 膜という)からフッ素含有プラズマシリコン酸化膜(比誘電率 2.8~4.3)(以下 p-SiOF 膜という)への転換が注目されている。

【0004】

p-SiOF 膜はフッ素濃度を高くしていくと低い比誘電率化することができるが、あまりフッ素濃度を高くすると耐湿性が劣化してしまうという欠点がある。

そのため耐湿性が劣化しないレベルのフッ素濃度では、比誘電率をそれほど低下させられない(比誘電率 3.3 程度)。

【0005】

その欠点を解決するためのプラズマ自身を高密度にするという方法があり、たとえば '95 SSDM p157 に提案されている。

【0006】

しかし、この方法ではフッ素濃度をいままでの方法より高濃度にすることができるが、あるフッ素濃度以上になると膜が劣化してしまうため比誘電率が大幅には低下できなかった。

【0007】

またデバイスとしてこの p-SiOF 膜を使用する場合、その膜の平坦化は必須であり、その p-SiOF 膜を平坦化する方法として化学的機械研磨法(以下 CMP と呼ぶ)を用いると前記耐湿性の問題が難点であり、その結果 CMP を使用する場合は、さらに誘電率を上げざるを得なかった。

【0002】

[Prior Art]

Recently, as for semiconductor integrated circuitry, narrowing is advanced, with multilayer metallization. In especially logic circuitry, tendency seems remarkably and is received.

When metal interval of multilayer metallization becomes fine, that interwire capacitance which is adjacent becomes large and decrease of speed of electrical signal is caused and/or crosstalk (Other signal phenomenon which produces effect as noise) occurs.

【0003】

To low dielectric constant of insulating film between metal layer there is a method which is converted as one of countermeasure which prevents that, with the plasma CVD method which recently, has been used until recently conversion to the fluorine containing plasma silicon oxide film (dielectric constant 2.8~4.3) (Below p-SiOF film you call) is observed from silicon oxide film (dielectric constant approximately 4.3) (Below, p-SiO₂ film you call).

【0004】

When fluorine concentration is made high, to low dielectric constant it can convert the p-SiOF film, but when excessively fluorine concentration is made high, there is a deficiency that moisture resistance deteriorates.

Because of that with fluorine concentration of level where moisture resistance does not deteriorate, dielectric constant that much it does not decrease (dielectric constant 3.3 extent).

【0005】

There is a method that is proposed for example *95 SSDM p157 designates plasma itself in order to solve deficiency as high density.

【0006】

But, with this method fluorine concentration from former method can be designated as high concentration, but when it becomes a certain fluorine concentration or greater, because film deteriorates, dielectric constant could not decrease greatly.

【0007】

In addition when this p-SiOF film is used as device, planarization of the film did not obtain being necessary, when it uses chemomechanical polishing method (It calls below CMP), as method which planarization does p-SiOF film problem of the aforementioned moisture resistance being difficulty, case you use CMP as a result, furthermore does not

合は、さらに誘電率を上げざるを得なかった。

【0008】

以上説明したとおり、現在までCMPをp-SiOFプロセスで使用することは実際には困難な状態にある。

【0009】

しかし、取りあえず公知例より推測し、CMPを使用した実験例を2つ説明する。

【0010】

従来例は図3に示すようにメタル上に直接p-SiOF膜を形成する例である。

たとえば特開平6-333919に記載されているように第1のメタル301形成後ECR-CVD法で、 SiF_4 、 O_2 、Arの3つのガスを使用し、比誘電率3.0のフッ素濃度 7×10^{21} atoms/ccをウェハ表面内にもつp-SiOF膜302を形成する。

この膜を平坦化のためにCMPを行うと膜が水を吸湿してしまい誘電率が高くなってしまう。

【0011】

さらに悪い場合であると多量に入ったフッ素はその結合が弱いため、Fと H_2O が反応してHFが発生し、メタルの腐食が発生したり、メタルが溶けてしまう現象が起こる。

ここでは、フッ素濃度を 1.0×10^{21} atoms/cc程度まで下げた場合について説明する。

【0012】

CMPでの処理の後には膜は図3-(b)のようになる。

そして、膜にフォトリソを塗布し、目合わせ露光により、フォトリソをパターニングし、エッチング技術により C_4F_8 、CO、Arガスを使用したマグネトロンRIEエッチングにより開孔を行う。

【0013】

さらに、TiN形成後ブランケットWCVDを行いエッチバックというフローでビアメタル303の形成を行う。

その後第2のメタル304たとえばAlCu-TiNの連続スパッタを行い、それをフォトリソにより、パターニングを行う。

increase dielectric constant.

【0008】

As above explained, to presently as for using CMP with p-SiOF process there is actually a difficult state.

【0009】

But, to take, it presumes from publicly known example, two it explains the Working Example which uses CMP.

【0010】

Prior Art Example as shown in Figure 3, is example which directly forms p-SiOF film on metal.

As stated in for example Japan Unexamined Patent Publication Hei 6-333919, after first metal 301 forming with ECR-CVD method, 3 gas of SiF_4 , O_2 , Ar are used, p-SiOF film 302 which has fluorine concentration 7×10^{21} atoms/cc of dielectric constant 3.0 inside wafer surface is formed.

When this film CMP is done because of planarization, film the absorbed moisture does water and dielectric constant becomes high.

【0011】

Furthermore when it is bad, when is, as for fluorine which enters into large amount because connection is weak, F and H_2O reacting, HF occurs, corrosion of metal occurs, phenomenon where metal dissolves happens.

Here, when fluorine concentration was lowered to 1.0×10^{21} atoms/cc extent, being attached, you explain.

【0012】

After treatment with CMP film becomes like Figure 3 - (b).

And, photoresist application is done in film, photoresist patterning is done with alignment exposure, open pore is done with magnetron RIE etching which uses C_4F_8 , CO, Ar gas with etching technology.

【0013】

Furthermore, after TiN forming it does blanket WCVD and it forms the via metal 303 with flow, etchback.

After that continual sputter of second metal 304 for example AlCu-TiN is done, patterning is done that with photoresist.

この操作を 1 回または複数回繰り返すことにより図 3-(c)のように多層配線を形成する。

[0014]

ここで問題なのは、p-SiOF 膜のフッ素濃度が高い場合は、膜の CMP 処理で膜が吸湿してしまい、また膜のフッ素濃度が低いと誘電率が高くなってしまふことである。

[0015]

また次の例は p-SiOF 膜の上下に SiO₂ 膜を挟むことにより、p-SiOF 膜の吸湿性を抑え込む例である。

特公平 7-9372 では TEOS 系(テトラエトキシオルソシリケート:以下同様)で製造した SiOF 膜が記載してあるのでそれを使用して説明を行う。

図 4 にそのフロー図を示す。

[0016]

第 1 のメタル 401 形成後、第 1 の p-SiO₂ 膜 402 を形成し、その後フッ素系ガスを混合した TEOS 系の原料を用いてフッ素含有の SiO₂ 膜 (p-SiOF 膜 403)を形成し、その後また第 2 の p-SiO₂ 膜 404 を形成する方法が提案されている。

[0017]

ここでは、プラズマ SiOF 膜は、耐湿性に有利な、高密度プラズマ CVD 法でかつ、プラズマ SiO₂ 膜高密度プラズマ CVD 法とした。

[0018]

この方法を、従来例では平行平板型プラズマ CVD を用いていたが、ここでは積層膜を高密度プラズマ CVD 法で行ったことを想定してみる。

[0019]

ここでは SiOF 膜のフッ素濃度を 7×10^{21} atoms/cc である。

第 1 のメタル 401 形成後、高密度プラズマ CVD 法で、SiO₂ /SiOF/SiO₂ の連続成長を行うと、図 4(a)または(a)'に示すような形状となる。

ここで図 4-(a)に示すように中間層の p-SiOF 膜 403 が厚い場合は CMP 法処理を行った後は図 4-(b)のように p-SiOF 膜 403 がむき出しになって

By one time or multiple times repeating this operation like Figure 3 - (c) multilayer metallization is formed.

[0014]

When as for being a problem here, when fluorine concentration of p- SiOF film is high, film absorbed moisture does in CMP treatment of film, in addition fluorine concentration of film is low, it means that dielectric constant becomes high.

[0015]

In addition it is an example where following example holds down moisture absorption of p- SiOF film by putting between SiO₂ film to top and bottom of p- SiOF film, is packed.

Because with Japan Examined Patent Publication Hei 7-9372 SiOF film which is produced with TEOS (Similarity below tetra ethoxy orthosilicate :) is stated, using that, you explain.

flow diagram is shown in Figure 4 .

[0016]

After first metal 401 forming, first p- SiO₂ film 402 is formed, SiO₂ film (p- SiOF film 403) of fluorine containing is formed after that making use of starting material of TEOS type which mixes fluorine type gas, after that and method which forms second p- SiO₂ film 404 is proposed.

[0017]

Here, as for plasma SiOF film, in moisture resistance it made and, plasma SiO₂ film high density plasma CVD method with the beneficial, high density plasma CVD method.

[0018]

this method, with Prior Art Example parallel flat plate type plasma CVD was used, but here it tries supposing that laminated film was done with high density plasma CVD method.

[0019]

Here fluorine concentration of SiOF film they are 7×10^{21} atoms/cc.

After first metal 401 forming, when with high density plasma CVD method, it grows SiO₂ /SiOF/SiO₂ continually, Figure 4 (a) or (a)', it becomes kind of shape which is shown.

As here shown in Figure 4 - (a), when p- SiOF film 403 of intermediate layer is thick, after it treated CMP method, like Figure 4 - (b) p- SiOF film 403 becomes bare.

しまう。

その結果、元々 p-SiOF 膜の吸湿を防止するために p-SiOF 膜を p-SiO₂ 膜でサンドイッチ構造としたのに、p-SiOF 膜 403 がむき出しになるので CMP 処理で膜が水を吸い込んでしまう。

その結果膜の誘電率を上げてしまう。

[0020]

また、上記のようにならないために図 4-(a)' のように p-SiOF 膜 403 を薄くして、第 2 の SiO₂ 膜 404 を厚くした場合は、CMP 処理後、図 4-(b)' のように p-SiOF 膜 403 はむき出しにはならない。

しかしこれでは、隣接するメタル層間にも p-SiO₂ 膜が入り込んできてしまい誘電率が上がってしまうという不具合が発生する。

[0021]

その後は上記の実験例 1 と同様ビアホール形成→ビアメタル形成→第 2 メタル形成と続き、形状はそれぞれ図 4(c)や(c)' のように多層配線が形成される。

[0022]

図 5 には高密度プラズマ CVD を用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と比誘電率との関係を、また図 6 には高密度プラズマ CVD を用いた場合のフッ素を含むシリコン酸化膜中のフッ素含有量と吸湿性との関係を示す。

(1995 年半導体集積回路シンポジウム予稿集第 45 頁)これらの図はシリコン酸化膜のフッ素含有量と誘電率、吸湿性との傾向の一例を示すものであり、フッ素含有率とこれらの性質は装置により若干数値が異なることがあり同じ割合を示すものとは限らないがシリコン酸化膜のフッ素含有量が誘電率、吸湿性に影響する傾向を示したものである。

[0023]

第 1 の問題点は、実験例 1,2 とともに低比誘電率の p-SiOF 膜が CMP 処理されると、誘電率が高くなり、またはビアホール異常になる。

さらに金属腐食が発生する。

その理由は、低比誘電率の p-SiOF は、水にさらされると吸湿してしまい誘電率が上がり、ビアホ

As a result, although in order originally to prevent absorbed moisture of the p-SiOF film p-SiOF film was designated as sandwich structure with p-SiO₂ film, because p-SiOF film 403 becomes bare, film sucks water in CMP treatment.

As a result dielectric constant of film is increased.

[0020]

In addition, because it does not become as description above Figure 4 - (a)' way making p-SiOF film 403 thin, when it makes second SiO₂ film 404 thick, after CMP treating, Figure 4 - (b)' way p-SiOF film 403 does not become bare.

But with this, p-SiO₂ membrane enters also between metal layer which is adjacent and disadvantage that occurs dielectric constant rises.

[0021]

After that as for similar via formation *via metal formation *second metal formation to above-mentioned Working Example 1 and continuation and the shape respective Figure 4 (c) and (c)' way multilayer metallization is formed.

[0022]

In Figure 5 relationship between fluorine content and dielectric constant in silicon oxide film which includes fluorine when high density plasma CVD is used, in addition relationship between fluorine content and moisture absorption in silicon oxide film which includes fluorine when high density plasma CVD is used is shown in Figure 6.

(1995 semiconductor integrated circuitry symposium abstracts 4th 5page) As for these figures being something which shows one example of the tendency of fluorine content and dielectric constant, moisture absorption of silicon oxide film, fluorine content there are times when numerical value differs somewhat and depending upon device those which show same ratio they do not limit these property, but it is something which shows tendency which fluorine content of silicon oxide film has an influence on dielectric constant, moisture absorption.

[0023]

As for first problem, when also Working Example 1, 2 is treated p-SiOF film of low dielectric constant CMP, dielectric constant becomes high, or becomes via fault.

Furthermore metal corrosion occurs.

As for reason, as for p-SiOF of low dielectric constant, when it is exposed to water, absorbed moisture it does and dielectric

ール抵抗異常となる。

また吸湿した水とフッ素が反応し金属の腐食が発生する。

【0024】

第 2 の問題点は、実験例 2 で第 1 の問題点が発生しないように、 $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ 構造の中間の p-SiOF 層を薄くするとメタル層間の誘電率が上がってしまう。

その理由は、メタル層間に占める p-SiO₂ の割合が多くなるからである。

【0025】

【発明の解決すべき課題】

本発明の目的は、半導体集積回路の特に多層配線構造において高集積化の際の層間膜容量の増加防止(低誘電率化の実現)と、ビアホール抵抗の増加防止等の信頼性向上を目的としている。

【0026】

【課題を解決する手段】

上記目的を達成するために本願発明者は鋭意検討を行い本発明に到達した。

即ち、本発明は以下の実施態様を包含する。

【0027】

(1) 半導体基板上に形成された複数の配線と、前記複数の配線の間を埋める第 1 のフッ素を含むシリコン酸化膜と前記第 1 のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を有することを特徴とする半導体装置を提供することである。

【0028】

(2) 半導体基板上に形成された複数の配線と、前記配線上に形成された第 1 のシリコン酸化膜と前記第 1 のシリコン酸化膜上に形成された第 1 のフッ素を含むシリコン酸化膜と前記第 1 のフッ素を含むシリコン酸化膜上に形成され表面が平坦化された、第 2 の吸湿性のないフッ素を含むシリコン酸化膜と前記第 2 のフッ素を含むシリコン酸化膜上に形成された第 2 のシリコン酸化膜とを有することを特徴とする半導体装置。

constant rises, becomes via resistance fault .

In addition water and fluorine which absorbed moisture are done react and corrosion of metal occurs.

【0024】

As for second problem , as first problem does not occur with Working Example 2, when p- SiOF layer of intermediate of $\text{SiO}_{2\text{sub}}/ \text{SiOF}/ \text{SiO}_{2\text{sub}}$ structure is made thin, dielectric constant between metal layer rises.

Because as for reason, ratio of p- $\text{SiO}_{2\text{sub}}$ which is occupied between metal layer becomes many.

【0025】

[Problems to be Solved by the Invention]

objective of this invention , in especially multilayer metallization structure of semiconductor integrated circuitry case of trend to high integration increase prevention of interlayer film capacity (Actualization of permittivity reduction) with, has designated increase prevention or other reliability improvement of via resistance as objective .

【0026】

[Means to Solve the Problems]

inventor of this application did diligent investigation in order to achieve above-mentioned objective and arrived in this invention .

Namely, this invention includes embodiment below.

【0027】

It was formed on silicon oxide film which includes silicon oxide film and theaforementioned first fluorine which include metallization of plural which was formed on (1) semiconductor substrate and first fluorine which buries between metallization ofaforementioned plural and it is to offer semiconductor device which designates that it possesses silicon oxide film which includes fluorine where surface was done, planarization does not have second moisture absorption as feature.

【0028】

It was formed on silicon oxide film which includes silicon oxide film and theaforementioned first fluorine which include metallization of plural which was formed on (2) semiconductor substrate and first silicon oxide film which was formed on theaforementioned metallization and first fluorine which was formed on theaforementioned first silicon oxide film and surface was done planarization , semiconductor device . which designates that it possesses second silicon oxide film which was formed on silicon oxide film which includes silicon oxide film and aforementioned

【0029】

(3) 前記第 1 のフッ素を含むシリコン酸化膜の比誘電率が 3.3 以下であることを特徴とする(1)または(2)のおのおの記載の半導体装置。

【0030】

(4) 前記第 2 のフッ素を含むシリコン酸化膜の比誘電率が 3.3 を超えることを特徴とする(1)または(2)のおのおの記載の半導体装置。

【0031】

(5) 前記第 1 のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc 以上であることを特徴とする(1)または(2)のおのおの記載の半導体装置。

【0032】

(6) 前記第 2 のフッ素を含むシリコン酸化膜のフッ素濃度が 4×10^{21} atoms/cc 未満であることを特徴とする(1)または(2)のおのおの記載の半導体装置。

【0033】

(7) 半導体基板上に配線を形成する工程と、第 1 のフッ素を含むシリコン酸化膜を形成する工程と、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程と、前記第 2 のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程を含むことを特徴とする半導体装置の製造方法。

【0034】

(8) 半導体基板上に配線を形成する工程と、第 1 のシリコン酸化膜を形成する工程と、第 1 のフッ素を含むシリコン酸化膜を形成する工程、第 2 の吸湿性のないフッ素を含むシリコン酸化膜を形成する工程、前記第 2 のフッ素を含むシリコン酸化膜の表面のみに化学的機械研磨を行って平坦化する工程と第 2 のシリコン酸化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【0035】

(9) 前記第 1 のシリコン酸化膜及び、第 2 のシリコン酸化膜がプラズマシリコン酸化膜であること

second fluorine which include fluorine without having second moisture absorption as feature

【0029】

semiconductor device, which is stated in each of (1) or (2) which designates that dielectric constant of silicon oxide film which includes (3) aforementioned first fluorine is 3.3 or less as feature

【0030】

semiconductor device, which is stated in each of (1) or (2) which designates that dielectric constant of silicon oxide film which includes (4) aforementioned second fluorine exceeds 3.3 as feature

【0031】

semiconductor device, which is stated in each of (1) or (2) which designates that fluorine concentration of silicon oxide film which includes (5) aforementioned first fluorine is 4×10^{21} atoms/cc or larger as feature

【0032】

semiconductor device, which is stated in each of (1) or (2) which designates that fluorine concentration of silicon oxide film which includes (6) aforementioned second fluorine is under 4×10^{21} atoms/cc as feature

【0033】

Doing chemomechanical polishing in only surface of silicon oxide film which includes the step, aforementioned second fluorine which forms silicon oxide film which includes the fluorine which does not have step, second moisture absorption which forms silicon oxide film which includes step, first fluorine which forms metallization on (7) semiconductor substrate planarization the manufacturing method, of semiconductor device which designates that step which is done is included as feature

【0034】

Doing chemomechanical polishing in only surface of silicon oxide film which includes the step, aforementioned second fluorine which forms silicon oxide film which includes the fluorine which does not have step, second moisture absorption which forms silicon oxide film which includes step, first fluorine which forms step, first silicon oxide film which forms metallization on the (8) semiconductor substrate planarization manufacturing method, of semiconductor device which designates that the step which forms step and second silicon oxide film which are done is included as feature

【0035】

manufacturing method, of semiconductor device which is stated in each of (7) or (8) which designates that (9)

を特徴とする(7)または(8)のおのおの記載の半導体装置の製造方法。

【0036】

(10) 前記第 1 のフッ素を含むシリコン酸化膜及び第 2 のフッ素を含むシリコン酸化膜が高密度プラズマシリコン酸化膜であることを特徴とする(7)または(8)のおのおの記載の半導体装置の製造方法。

【0037】

(11) 前記第 1 のフッ素を含むシリコン酸化膜と第 2 のフッ素を含むシリコン酸化膜が連続的に形成された高密度プラズマシリコン酸化膜であることを特徴とする(7)または(8)のおのおの記載の半導体装置の製造方法。

【0038】

【発明の実施の形態】

本発明の半導体装置および半導体装置の製造方法は、第 1 の金属配線が形成された半導体基板表面に第 1 の高フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成し、続いて第 2 の低フッ素濃度のフッ素含有プラズマシリコン酸化膜を形成する工程と、化学的機械研磨を第 2 のフッ素含有プラズマシリコン酸化膜のみに施す工程と、所望の位置に開孔を行う工程と、の開孔部に金属を形成する工程と、第 2 の金属配線を形成する工程とを含み、それを 1 回または複数回繰り返すことを特徴とする(図 1)。

また、メタル種によっては、またプラズマ SiOF 膜の種類によっては、界面での密着性が悪いとか、反応が起こってしまうことが予想される。

【0039】

その場合は、第 1 のメタル配線形成後第 1 のプラズマシリコン酸化膜を形成し、前記第 1 の p-SiOF 膜を形成し、第 2 の p-SiOF を形成し、その後 CMP 処理を第 2 の p-SiOF 膜のみに施す工程と、さらにその上より第 2 の p-SiO₂ を形成する工程と、所望の位置に開孔を行う工程とその開孔部に金属を形成する工程と第 2 の金属配線を形成する工程を含み、それを 1 回または複数回繰り返すことを特徴とする(図 2)。

【0040】

本発明は、配線間容量を減らすため、少なくとも配線間には比誘電率がシリコン酸化膜より少なくとも小さいフッ素含有シリコン酸化膜で埋め込

forementioned first silicon oxide film and second silicon oxide film are plasma silicon oxide film as feature

【0036】

manufacturing method . of semiconductor device which is stated in each of (7) or (8) which designates that silicon oxide film which includes (10) aforementioned first fluorine and silicon oxide film which includes second fluorine are high density plasma silicon oxide film as feature

【0037】

manufacturing method . of semiconductor device which is stated in each of (7) or (8) which designates that it is a high density plasma silicon oxide film where silicon oxide film which includes the(11) aforementioned first fluorine and silicon oxide film which includes second fluorine wereformed to continuous as feature

【0038】

[Embodiment of the Invention]

semiconductor device of this invention and manufacturing method of semiconductor device to form fluorine containing plasma silicon oxide film of first high fluorine concentration in semiconductor substrate surface where first metal wiring was formed, continuously including step which forms step. second metal wiring which forms the metal in open hole of step. which does open pore in step. desired position which administers step. chemomechanical polishing which forms fluorine containing plasma silicon oxide film of second low fluorine concentration to only second fluorine containing plasma silicon oxide film , It designates that one time or multiple times it repeats that as feature (Figure 1).

In addition, [metaru] kind jp11 depending, in addition adhesive adhesion in boundary it is with membrane types of [purazuma] SiOF membrane and with, it is done that reaction happens.

【0039】

In that case, to form first plasma silicon oxide film after first metal metallization , to form the aforementioned first p- SiOF film , form second p- SiOF, after that step. which administers CMP treatment to only second p- SiOF film furthermore including step which forms metal in step and open hole which do open pore in step. desired position which forms second p- SiO₂ and step which forms second metal wiring from on that, It designates that one time or multiple times it repeats that as feature (Figure 2).

【0040】

As for this invention, in order to decrease interwire capacitance , with fluorine containing silicon oxide film where dielectric constant is at least smaller than silicon oxide

み、さらに、上面に吸湿性はないが比誘電率の高いフッ素含有シリコン酸化膜が形成されているので、CMP を用いて平坦化しても吸湿による比誘電率の増大も起こらない。

また後工程のビアホール工程を作成する時にも上層のフッ素含有シリコン酸化膜での吸湿がほとんどないビアホール抵抗増大不良が発生しない。

【0041】

【実施例】

次に本発明の実施例について図面を参照して詳細に説明する。

【0042】

図 1 を参照して本発明の第 1 の実施例を説明する。

図 1-(a) のように第 1 のメタル 101 上にバイアス ECR-CVD 法にて厚さ 5000 オングストロームの第 1 の p-SiOF 膜 102 を形成し、さらに厚さ 10000 オングストロームの第 2 の p-SiOF 膜 103 を形成した。

ここで第 2 の p-SiOF 膜 103 は 4.0×10^{21} atoms/cc 未満のフッ素濃度であり、その下層の第 1 の p-SiOF 膜 102 は、第 1 の p-SiOF 膜よりも高い 4.0×10^{21} atoms/cc フッ素濃度をウェハー面内に持っていた。

このプラズマ SiOF/SiO₂ 積層構造は、連続で成長した方が埋設性がよいが、高密度プラズマ CVD 法が稼働率上の問題があるとこなどがある場合は、別々に成長してもよい。

その後 CMP 処理を、第 2 の p-SiOF 膜のみを図 1-(b) のように約 4000 オングストローム研磨する。

この第 2 のプラズマ SiOF のフッ素濃度では吸湿しない膜であることは我々の実験により確認されている。

その後、この膜にフォトリジストを塗布し、目合わせ、露光を行い、フォトリジストをパターニングし、エッチング技術により C₄F₈, CO, Ar ガスを使用したマグネトロン RIE エッチングにより p-SiOF の 2 層膜の開孔を行なった。

【0043】

さらにバリア層として TiN 形成後ブランケット WCVD 法により、タングステンを形成し、エッチ

film at least between the metallization pad, furthermore, there is not a moisture absorption in top, but because fluorine containing silicon oxide film where dielectric constant is high is formed, planarization doing making use of CMP either increase of dielectric constant does not happen with absorbed moisture.

In addition when drawing up via step of postprocessing even, absorbed moisture with fluorine containing silicon oxide film of top layer does not occur for most part via resistance increase deficiency which is not.

【0041】

[Working Example(s)]

Next referring to drawing concerning Working Example of this invention, you explain in detail.

【0042】

Referring to Figure 1, you explain first Working Example of this invention.

Like Figure 1 - (a) on first metal 101 first p-SiOF film 102 of thickness 5000 Angstrom was formed with bias ECR-CVD method, furthermore second p-SiOF film 103 of thickness 10000 Angstrom was formed.

Here as for second p-SiOF film 103 with fluorine concentration under 4.0×10^{21} atoms/cc, as for first p-SiOF film 102 of bottom layer, it had high 4.0×10^{21} atoms/cc fluorine concentration inside wafer surface in comparison with first p-SiOF film.

As for this plasma SiOF/SiO₂ laminated structure, one which grew with continuation embedding property is better, but when high density plasma CVD method is a problem on working efficiency, when such as is, it is possible to grow separately.

After that CMP treatment, only second p-SiOF film is ground like Figure 1 - (b) approximately 4000 Angstrom.

With fluorine concentration of this second plasma SiOF as for being a film which absorbed moisture is not done it is verified by our experiment.

After that, application it did photoresist in this film, exposed alignment, patterning did photoresist, it did open pore of 2 layers film of p-SiOF with magnetron RIE etching which uses C₄F₈, CO, Ar gas with etching technology.

【0043】

Furthermore after TiN forming it formed tungsten with blanket WCVD method as barrier layer, did etchback, formed

バックを行い、ビアメタル 104 の形成を行なった。

【0044】

その後、第 2 のメタル 105、たとえば AlCu-TiN の連続スパッタを行い、それをフォトリソによりパターニングを行なった。

これを 1 回または複数回繰り返すことにより多層の配線を図 1-(c)のように形成した。

【0045】

以上のプロセスフローで、メタル層間容量を小さくでき、かつ膜の平坦化でき多層配線が可能となった。

なお本実施例での第 1 のフッ素を含むシリコン酸化膜の比誘電率は 3.0、第 2 のフッ素を含むシリコン酸化膜の比誘電率は 3.5 であった。

【0046】

さらに第 2 の実施例について図面 2 を参照して詳細に説明する。

第 1 の実施例でメタル上に直接 p-SiOF 膜を形成したが、メタルの種類や p-SiOF 膜の種類によりメタルと p-SiOF 膜との密着性が悪い場合や、メタルと p-SiOF の反応が起こってしまうなどのときは次に示す第 2 の実施例を使用するとよい。

【0047】

図 2-(a)に示すように、第 1 のメタル 201 上にバイアス ECR-CVD 法にて、第 1 の p-SiO₂ 膜 202、第 1 の p-SiOF 膜 203、第 2 の p-SiOF 膜 204 をそれぞれたとえば厚さ 1000 オングストローム、4000 オングストローム、10000 オングストローム成長を行なった。

【0048】

第 2 の p-SiOF 膜 204 のフッ素濃度は 4.0×10^{21} atoms/cc 未満の範囲であり、その下層の第 1 の p-SiOF 膜 203 のフッ素濃度は 4.0×10^{21} atoms/cc 以上の部分をウェハー面内の 1 部または全部に持った。

【0049】

その後 CMP 処理を第 2 のプラズマ SiOF 膜 204 のみを厚さ約 4000 オングストローム研磨を行なった。

この第 2 のプラズマ SiOF 膜のフッ素濃度では吸湿しない膜であることは我々の実験により確認

via metal 104.

【0044】

After that, continual sputter of second metal 105, for example Al Cu -TiN was done, patterning was done that with photoresist .

metallization of multilayer like Figure 1 - (c) was formed by one time or multiple times repeating this.

【0045】

With process flow above, capacity between metal layer it could make small, at same time planarization of film was possible and multilayer metallization became possible.

Furthermore as for dielectric constant of silicon oxide film which includes first fluorine with this working example 3.0, as for dielectric constant of silicon oxide film which includes the second fluorine 3.5 was.

【0046】

Furthermore referring to drawing 2 concerning second Working Example , you explain in detail.

With first Working Example p- SiOF film was formed directly on metal , but the adhesion of metal and p- SiOF film is bad with types of metal and types of p- SiOF film when and, at time of or other where reaction of metal and p- SiOF happens second Working Example which is shown next should have been used.

【0047】

Way it shows in Figure 2 - (a) , for example on first metal 201 with bias ECR -CVD method , first p- SiO₂ film 202, first p- SiOF film 203, second p- SiOF film 204 each one it grew thickness 1000 Angstrom , 4000 Angstrom , 10000 Angstrom .

【0048】

As for fluorine concentration of second p- SiOF film 204 in range under 4.0×10^{21} atoms /cc , as for the fluorine concentration of first p- SiOF film 203 of bottom layer it had portion of 4.0×10^{21} atoms /cc or larger in 1 part or all inside wafer surface .

【0049】

After that CMP treatment only second plasma SiOF film 204 did thickness approximately 4000 Angstrom grinding.

With fluorine concentration of this second plasma SiOF film as for being a film which absorbed moisture is not done it is

されている。

[0050]

その上に第 2 の p-SiO₂ 膜 205 を厚さ約 2000 オングストローム成長させた(図 2-(b))。

[0051]

その後、フォトリソを塗布し、目合わせ露光により C₄F₈, CO, Ar ガスを使用したマグネトロン RIE エッチングにより、SiO₂ /SiOF₂ 層/SiO₂ の積層膜の開孔を行う。

さらに第 1 の実施例同様、TiN 形成後ブランケット W-CVD を形成し、エッチバックを行い、ビアメタル 206 を形成した。

[0052]

その後、第 2 のメタル 207、たとえば AlCu-TiN の連続スパッタを行いそれをフォトリソによりパターンニングを行なった。

これを 1 回または複数回繰り返すことにより多層配線を図 2-(c)のように形成した。

[0053]

以上が第 2 実施例であるが、第 1、第 2 実施例を通し、第 1 のメタル、第 2 のメタルは、AlCu-TiN の連続スパッタを使用しているが、Al への添加物としては、Cu のほか、Si, Pd, Ti でもよい。

また Al でなくとも、Cu, Ag でもよい。

さらに反射防止用に TiN を使用しているが、Ti, TiW, Cr, Si でもよい。

またビアメタルとして、W-CVD/TiN を使用しているが、ビアの W の代わりに Ag, Cu, Al でもよい。

また、バリアメタルとしては、Ti, TiW, Si, Cr の単層またはその 2 種類以上の組み合わせでもよい。

さらに p-SiOF 膜を製造するガス種は、SiH₄ + O₂ + Ar + CF₄, SiH₄ + O₂ + Ar + C₂F₆, SiH₄ + O₂ + Ar + NF₃, SiF₄ + O₂ + Ar, SiF₄ + SiH₄ + O₂ + Ar, TEOS + O₂ + Ar + CF₄, TEOS + O₂ + Ar + C₂F₆, TEOS + O₂ + Ar + NF₃, TEFS(フロトリエトキシシラン: 以下同様) + O₂ + Ar, TEFS + SiH₄ + O₂ + Ar, TEOS + SiF₄ + Ar + O₂ のうちいずれかまたはこの中より Ar を抜いたものでもよい。

verified by our experiment .

[0050]

Figure 2 - (b) . second p- SiO₂ film 205 thickness approximately 2000 Angstrom it grew on that

[0051]

After that, photoresist is done application , open pore of laminated film of the SiO₂ /SiOF₂ layers /SiO₂ is done with magnetron RIE etching which uses C₄F₈ , CO, Argas with alignment exposure.

Furthermore first Working Example similarity and after TiN forming [buranketo] W-CVD was formed, etchback was done, via metal 206 was formed.

[0052]

After that, continual sputter of second metal 207, for example Al Cu -TiN was done and that the patterning was done with photoresist .

multilayer metallization like Figure 2 - (c) was formed by one time or multiple times repeating this.

[0053]

Or more is second Working Example , but first metal , second metal has used continual sputter of Al Cu -TiN through first , second Working Example ,, but other than Cu , it is good even with Si, Pd, Ti as additive to Al .

In addition not being a Al also, it is good even with Cu , Ag .

Furthermore TiN is used for one for anti-reflection , but it is good even with Ti, TiW, Cr , Si.

In addition W-CVD /TiN is used as via metal ,, but it is good in place of W of via even with Ag , Cu , Al .

In addition, it is good even with monolayer of Ti, TiW, Si, Cr or combination of 2 kinds or more as barrier metal .

Furthermore gas species which produces p- SiOF film
SiH₄ + O₂ + Ar + CF₄, SiH₄ + O₂ + Ar + C₂F₆, SiH₄ + O₂ + Ar + NF₃, SiF₄ + O₂ + Ar, SiF₄ + SiH₄ + O₂ + Ar, TEOS + O₂ + Ar + CF₄, TEOS + O₂ + Ar + C₂F₆, TEOS + O₂ + Ar + NF₃, TEFS (fluorotriethoxysilane :) + O₂ + Ar, TEFS + SiH₄ + O₂ + Ar, TEOS + SiF₄ + Ar + O₂ the one of which or any of these without Ar is also good.

埋設性向上のため Ar の代わりに Xe にしても良く、また 1 層目と 2 層目に使用するガス種を代えてもよい。

例えば、1 層目を $\text{SiF}_4 + \text{Ar} + \text{O}_2$ 、2 層目を $\text{SiF}_4 + \text{SiH}_4 + \text{Ar} + \text{O}_2$ を用いてもかまわない。

[0054]

また p-SiOF は、13.56MHz の周波数を用いた平行平板の CVD 法、13.56MHz と、400KHz の 2 周波を用いた平行平板の CVD 法、2.45GHz の高周波と、13.56MHz のバイアスを使用したバイアス ECR-CVD 法、2.45GHz、13.56MHz の ICP-CVD 法やヘリコン CVD 法のいずれかのうち 1 つで行うが、バイアス ECR-CVD 法、ICP-CVD 法やヘリコン CVD 法等の高密度プラズマ CVD 法の方がよい。

[0055]

さらに CMP 後の SiOF 膜の吸湿を完全になくすため CMP 後に 300-450 deg C の熱処理を追加してもよい。

この処理の際の雰囲気は、 O_2 、 N_2 、 H_2 、バキューム中、Air、He のうちいずれか 1 つまたは複数組み合わせでもよい。

[0056]

また SiO_2 や SiOF 膜厚を実施例を示すため便宜上設定したが、CMP 処理で第 2 の SiOF のみ処理するように設定すれば異なる膜厚の組み合わせでもよい。

[0057]

また第 2 の p-SiOF 膜をフッ素濃度 4.0×10^{21} atoms/cc 未満の濃度とし、その範囲中でフッ素濃度が違った多層にしてもよい。

また第 1 の p-SiOF 層もフッ素濃度が 4.0×10^{21} atoms/cc 以上のところがウェハー全面ではなくとも、ウェハーに 1 部存在すれば本発明のメリットがあるのでこのような実施態様も本願発明の範囲に含まれる。

また、第 2 の p-SiOF 膜をフッ素濃度 4.0×10^{21} atoms/cc 未満と限定したが CMP 処理で第 2 の p-SiOF 膜が全部除去される領域に限りそれ以上のフッ素濃度の膜を使用することもできる。

$+\text{SiF}_{4\text{sub}} + \text{Ar} + \text{O}_{2\text{sub}}$ maybe something which pulled out Ar from inside any or in this .

For embedding property improvement in place of Ar to Xe it is good, it is possible to replace gas species which in addition is used for the first layer and second layer .

for example first layer making use of $\text{SiF}_{4\text{sub}} + \text{SiH}_{4\text{sub}} + \text{Ar} + \text{O}_{2\text{sub}}$ you are not concerned $\text{SiF}_{4\text{sub}} + \text{Ar} + \text{O}_{2\text{sub}}$, second layer .

[0054]

In addition it does p-SiOF, with CVD method, 13.56MHz of parallel flat plate which uses frequency of 13.56 MHz and high frequency of CVD method, 2.45GHz of parallel flat plate which uses 2 cycles of 400 KHz and ICP-CVD method of bias ECR-CVD method, 2.45GHz, 13.56MHz which uses the bias of 13.56 MHz and inside one of any of helicon CVD method, but bias ECR-CVD method, ICP-CVD method and helicon CVD method or other high density plasma CVD method are better.

[0055]

Furthermore in order to lose absorbed moisture of SiOF film after CMP completely, it is possible to add thermal processing of 300 - 450 deg C after CMP .

Case of this treatment atmosphere, in $\text{O}_{2\text{sub}}$, $\text{N}_{2\text{sub}}$, $\text{H}_{2\text{sub}}$, vacuum, is good even withinside any one or a plurality combination of air, He.

[0056]

In addition $\text{SiO}_{2\text{sub}}$ and in order to show Working Example, on convention it set SiOF film thick, but in order only second SiOF to treat in CMP treatment, if it sets, it is good even with combination of film thickness which differs.

[0057]

In addition it designates second p-SiOF film as concentration under fluorine concentration 4.0×10^{21} atoms/cc, it is possible in range fluorine concentration to multilayer which is different.

In addition first p-SiOF layer or fluorine concentration place of 4.0×10^{21} atoms/cc or larger without being wafer entire surface also, if 1 part it exists in wafer, because there is a merit of this invention, embodiment a this way are included in the range of invention of this application .

In addition, second p-SiOF film was limited under fluorine concentration 4.0×10^{21} atoms/cc it can also use the film of fluorine concentration above that but second p-SiOF film all only region which is removed in CMP treatment.

[0058]

本発明の方法では第 1 のフッ素を含むシリコン酸化膜の比誘電率は 3.3 以下、好ましくは 3.2 以下であり、その下限は 2.8、好ましくは 2.9 である。

また第 2 のフッ素を含むシリコン酸化膜の比誘電率は 3.3 を超え、好ましくは 3.4 以上であり、その上限は 4.1、好ましくは 3.9 である。

[0059]

また、本発明の方法では第 1 のフッ素を含むシリコン酸化膜のフッ素濃度は 4.0×10^{21} atoms/cc 以上であり、好ましくは比 6.0×10^{21} atoms/cc 以上であり、その上限は 1.0×10^{22} atoms/cc、好ましくは 8.0×10^{21} atoms/cc である。

[0060]

また第 2 のフッ素を含むシリコン酸化膜のフッ素濃度は 4.0×10^{21} atoms/cc 未満、好ましくは 2.0×10^{21} atoms/cc 未満であり、その下限は 1.0×10^{20} atoms/cc である。

[0061]

なお本実施例での第 1 のフッ素を含むシリコン酸化膜の比誘電率は 3.0、第 2 のフッ素を含むシリコン酸化膜の比誘電率は 3.5 であった。

[0062]

さらに、ブランケット WCVD 後実施例 1,2 ではエッチバックを行っていたがメタル CMP を行ってもよい。

また選択 W-CVD で行ってもよい。

また p-SiOF 膜の CMP と上記メタルの CMP の前に濡れ性改善のため O_2 プラズマを行ってもよい。

[0063]

また、第 2 の実施例の p-SiOF/p-SiO₂ の積層は埋設性改善のため特にバイアス高密度プラズマ CVD 法の場合は、連続成長で行う方がよい。

[0064]

[発明の効果]

本発明の効果を以下に示す。

[0058]

With method of this invention as for dielectric constant of silicon oxide film which includes first fluorine with 3.3 or less, preferably 3.2 or less, as for lower limit 2.8, it is a preferably 2.9.

In addition dielectric constant of silicon oxide film which includes second fluorine exceeds 3.3, with preferably 3.4 or more, upper limit 4.1, is preferably 3.9.

[0059]

In addition, with method of this invention as for fluorine concentration of silicon oxide film which includes first fluorine with 4.0×10^{21} atoms/cc or larger, with preferably Comparative Example 6.0X 10^{21} atoms/cc or larger, as for the upper limit they are 1.0×10^{22} atoms/cc, preferably 8.0×10^{21} atoms/cc.

[0060]

In addition as for fluorine concentration of silicon oxide film which includes second fluorine under 4.0×10^{21} atoms/cc and under preferably 2.0×10^{21} atoms/cc, as for lower limit they are 1.0×10^{20} atoms/cc.

[0061]

Furthermore as for dielectric constant of silicon oxide film which includes first fluorine with this working example 3.0, as for dielectric constant of silicon oxide film which includes the second fluorine 3.5 was.

[0062]

Furthermore, with Working Example 1, 2 after blanket WCVD etchback was done, but it is possible to do metal CMP.

In addition it is possible to do with selective W-CVD.

In addition in CMP of p-SiOF film and before CMP of the above-mentioned metal for wettability improvement it is possible to do the O_2 plasma.

[0063]

In addition, as for laminate of p-SiOF/p-SiO₂ of second Working Example for embedding property improvement in case of especially bias high density plasma CVD method, one which is done with continual growth is good.

[0064]

[Effects of the Invention]

Effect of this invention is shown below.

[0065]

第 1 の効果は、p-SiOF 膜を CMP 処理しても p-SiOF 膜自身耐湿性をもつため低誘電率なメタル層間膜を構築できる。

その理由は、p-SiOF 層を 2 層以上とし CMP 処理にさらされる上層をフッ素濃度 4.0×10^{21} atoms/cc 未満としているので耐湿性があるためである。

[0066]

第 2 の効果は、 $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ 構造にしても比較的小さなメタル層間容量が得られる。

その理由は、 SiOF_2 層/ SiO_2 構造を形成した後 CMP 処理を行いその後 SiO_2 を形成しているため上層の SiO_2 層が X 方向に並んでいるメタル間の層間膜には入ってこないためである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例のプロセスフロー図。

【図 2】

本発明の第 2 の実施例のプロセスフロー図。

【図 3】

従来の第 1 の実験例のプロセスフロー図。

【図 4】

従来の第 2 の実験例のプロセスフロー図。

【図 5】

フッ素含有シリコン酸化膜のフッ素含有量と誘電率の傾向を示す図。

【図 6】

フッ素含有シリコン酸化膜のフッ素含有量と吸湿性の傾向を示す図。

【符号の説明】

図 1-図 6 において用いた符号は以下のものを示す。

101

[0065]

first effect, CMP treating p- SiOF film , because it has p- SiOF film itself moisture resistance ,low dielectric constant can construct film between metal layer .

Reason to designate p- SiOF layer as 2 layers or more , because top layer which is exposed to CMP treatment is designated as under fluorine concentration 4.0×10^{21} atoms/cc is because there is a moisture resistance .

[0066]

As for second effect, to $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ structure capacity between relatively small metal layer is acquired.

Because reason treats after forming SiOF_2 layers $\text{SiO}_2/\text{SiOF}/\text{SiO}_2$ structure , CMP and after that forms SiO_2 entering into interlayer film between metal where SiO_2 layer of top layer has lined up into X direction, is because it is not.

[Brief Explanation of the Drawing(s)]

[Figure 1]

process flow diagram . of first Working Example of this invention .

[Figure 2]

process flow diagram . of second Working Example of this invention

[Figure 3]

process flow diagram . of conventional first Working Example

[Figure 4]

process flow diagram . of conventional second Working Example

[Figure 5]

fluorine content of fluorine containing silicon oxide film and figure which shows tendency of the dielectric constant .

[Figure 6]

fluorine content of fluorine containing silicon oxide film and figure which shows tendency of the moisture absorption .

[Explanation of Symbols in Drawings]

symbol which is used in Figure 1 -Figure 6 shows those below.

101

第 1 のメタル	first metal
102	102
第 1 の p-SiOF 膜	first p- SiOF film
103	103
第 2 の p-SiOF 膜	second p- SiOF film
104	104
ビアメタル	via metal
105	105
第 2 のメタル	second metal
201	201
第 1 のメタル	first metal
202	202
第 1 の p-SiO ₂ 膜	first p- SiO ₂ film
203	203
第 1 の p-SiOF 膜	first p- SiOF film
204	204
第 2 の p-SiOF 膜	second p- SiOF film
205	205
第 2 の p-SiO ₂ 膜	second p- SiO ₂ film
206	206
ビアメタル	via metal
207	207
第 2 のメタル	second metal
301	301
第 1 のメタル	first metal
302	302
p-SiOF 膜	p- SiOF film
303	303
ビアメタル	via metal
304	304
第 2 のメタル	second metal
401	401
第 1 のメタル	first metal
402	402
第 1 の p-SiO ₂ 膜	first p- SiO ₂ film

403

p-SiOF 膜

404

第 2 の p-SiO₂ 膜

405

ビアメタル

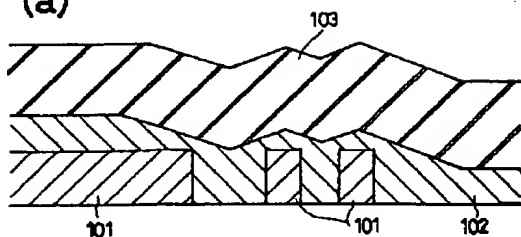
406

第 2 のメタル

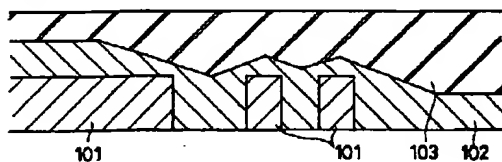
Drawings

【図1】

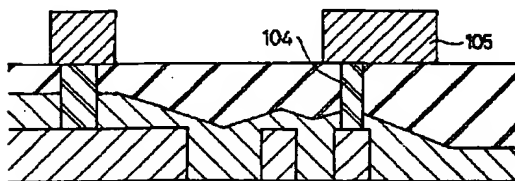
(a)



(b)



(c)



【図2】

403

p- SiOF film

404

second p- SiO₂ film

405

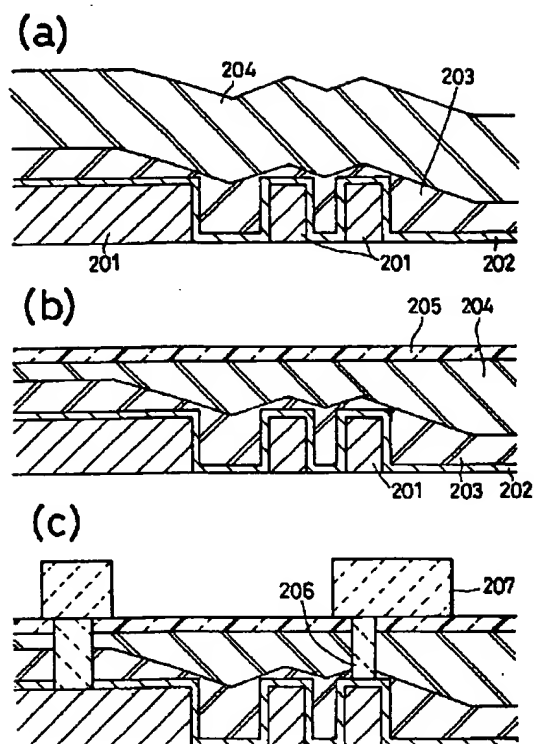
via metal

406

second metal

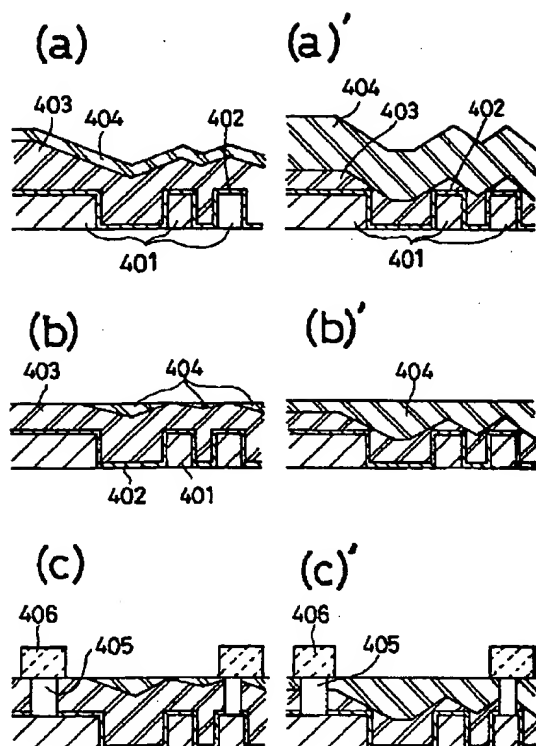
[Figure 1]

[Figure 2]



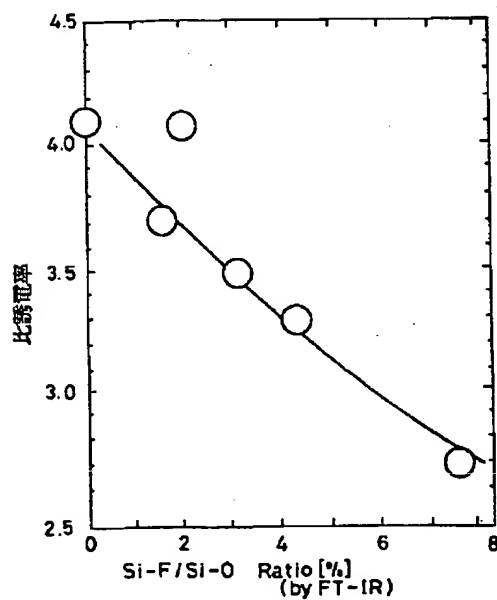
【図4】

[Figure 4]



【図5】

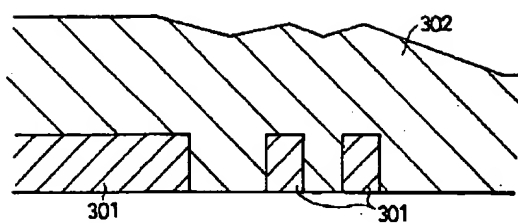
[Figure 5]



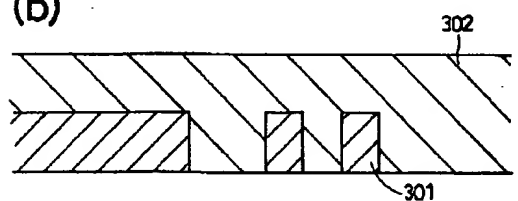
【図3】

[Figure 3]

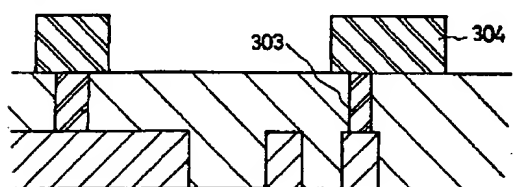
(a)



(b)



(c)



【図6】

[Figure 6]

